

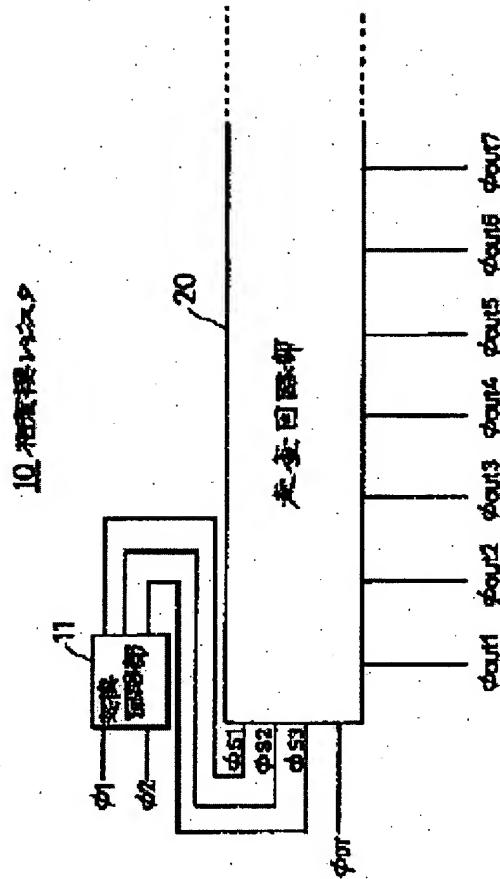
PHASE CONVERSION SHIFT REGISTER

Patent number: JP5159594
Publication date: 1993-06-25
Inventor: KUBO KAZUYA
Applicant: FUJITSU LTD
Classification:
- International: G11C19/28; G11C19/00; G11C27/04
- European:
Application number: JP19910318145 19911202
Priority number(s):

Abstract of JP5159594

PURPOSE: To enable easy attainment of interchangeability of a shift register different in the number of drive phases to an external drive circuit while maintaining low power consumption.

CONSTITUTION: A conversion circuit part 11 products three pulses phiS1, phiS2 and phiS3 of different phases by a shift register 12 on the basis of two input drive pulses phi1 and phi2 of different phases. A shift register 20 of a three-phase drive is driven by the pulses phiS1, phiS2 and phiS3 from the conversion circuit part 11.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-159594

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.^b

G 11 C 19/28
19/00
27/04

識別記号

府内整理番号
D 2116-5L
K 2116-5L
102 Z 7323-5L

F I

技術表示箇所

審査請求 未請求 請求項の数2(全8頁)

(21)出願番号 特願平3-318145

(22)出願日 平成3年(1991)12月2日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 久保 加寿也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 伊東 忠彦 (外2名)

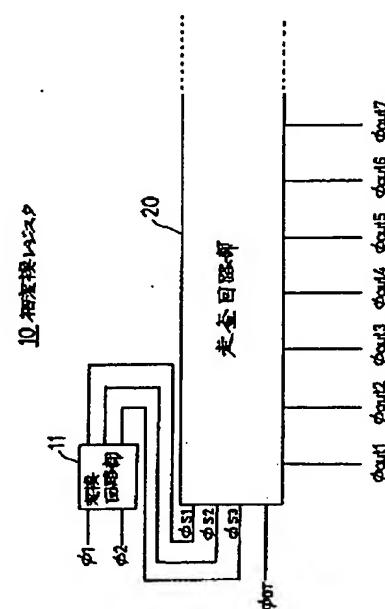
(54)【発明の名称】 相変換シフトレジスタ

(57)【要約】

【目的】 本発明はシフトレジスタの駆動相数の変換を行う相変換シフトレジスタに関し、低消費電力を維持しつつ容易に駆動相数の異なるシフトレジスタの外部駆動回路への互換性を可能とすることを目的とする。

【構成】 入力される2相の位相の異なる駆動パルス ϕ_1 , ϕ_2 を基本として、シフトレジスタ12により3相の位相の異なるパルス ϕ_{s1} , ϕ_{s2} , ϕ_{s3} を出力する変換回路部11を設ける。そして、変換回路部11からのパルス ϕ_{s1} , ϕ_{s2} , ϕ_{s3} により、3相駆動のシフトレジスタ20を駆動する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 入力される2相の位相の異なる駆動バルス(ϕ_1 , ϕ_2)を基本として、3相の位相の異なるバルス(ϕ_{s1} , ϕ_{s2} , ϕ_{s3})を出力する変換回路部(11)と、

該変換回路部(11)から出力される該3相の位相の異なるバルス(ϕ_{s1} , ϕ_{s2} , ϕ_{s3})を基本として、複数の出力端子より順次バルス(ϕ_{out1} , ϕ_{out2} , ...)を出力する走査回路部(20)と、

を有することを特徴とする相変換シフトレジスタ。

【請求項2】 前記変換回路部(11)は、3n(nは自然数)段のシフトレジスタを有することを特徴とする請求項1記載の相変換シフトレジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、シフトレジスタの駆動相数の変換を行う相変換シフトレジスタに関する。

【0002】近年、例えば、MOS(Metal Oxide Semiconductor)型素子に代表されるラインアドレス型固体撮像素子では、二次元に配置された画素を1行ずつ順次選択し、読み出すために、スキャナとしてシフトレジスタが使用される。このシフトレジスタは低消費電力動作が要求されると共に、駆動相数の異なるシフトレジスト間の互換性を図る必要がある。

【0003】

【従来の技術】近年、MOS型の固体撮像素子の二次元に配置された画素を1行ずつ走査するシフトレジスタは、1段が6個のMOSトランジスタで構成されているのが一般的である(図3参照)。

【0004】このようなシフトレジスタは、1段が6個のnMOSトランジスタで構成され、入力電圧が異なる2個のインバータ回路を含み、常時電流が流れることから、小型化、低消費電力化を図ることができない。そこで、1段当たりのMOSトランジスタの個数を減らし、常時流れる電流を減らしたシフトレジスタが考えられている。

【0005】図5に、従来の低消費電力型のシフトレジスタの回路図を示す。図5に示すシフトレジスタ20は、特公昭62-59399号に示されたもので、駆動バルス ϕ_1 , ϕ_2 , ϕ_3 , ϕ_4 及びDC電圧Vsにより駆動される。このシフトレジスタ20は、1段(破線内)あたり3個のnチャンネルトランジスタS₁, S₂, S₃で構成されており、CMOSトランジスタを用いたシフトレジスタ並みの低消費電力で駆動することができる。すなわち、nMOSトランジスタのみで構成できる小型で低消費電力動作のダイナミックシフトレジスタである。

【0006】この場合、1段が6個のMOSトランジスタで構成されたシフトレジスタ(2相駆動)と異なり、3相駆動である。

【0007】

【発明が解決しようとする課題】しかし、上述のシフトレジスタ20は、3相駆動であることから、2相駆動の場合に比べてバルス発生回路(論理回路、ドライバ等)を必要とする。また、3相駆動と2相駆動とは互換性がないことから、何れかの相で駆動するには駆動回路を大幅に変更しなければならないと共に、2相駆動のシフトレジスタをnMOSトランジスタのみで構成すると消費電力が大きくなるという問題がある。

10 【0008】そこで、本発明は上記課題に鑑みなされたもので、低消費電力を維持しつつ容易に駆動相数の異なるシフトレジスタの外部駆動回路への互換性を可能とする相変換シフトレジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】図1に、本発明の原理説明図を示す。図1の相変換レジスタ10において、11は変換回路部であり、入力される2相の位相の異なる駆動バルス ϕ_1 , ϕ_2 を基本として、3相の位相の異なるバルス ϕ_{s1} , ϕ_{s2} , ϕ_{s3} を出力する。また、20は走査回路部であり、該変換回路部11から出力される該3相の位相の異なるバルス ϕ_{s1} , ϕ_{s2} , ϕ_{s3} を基本として、複数の出力端子より順次バルス ϕ_{out1} , ϕ_{out2} , ...を出力する。

【0010】

【作用】図1に示すように、3相駆動の走査回路部20を、2相駆動の変換回路部11により駆動する。すなわち、結果として3相駆動の走査回路部20を2相で駆動するものである。

30 【0011】例えば、従来より存在する回路規模が小さく、低消費電力の3相駆動のシフトレジスタを走査回路部20に用いた場合、これらを維持しつつ容易に2相駆動を行うことが可能となる。従って、2相駆動するための外部駆動回路への2相及び3相駆動のシフトレジスタの互換性を高くすることが可能となる。

【0012】

【実施例】図2に、本発明の一実施例の構成図を示す。図2において、相変換シフトレジスタ10は、変換回路部11と走査回路部であるシフトレジスタ20を同一チップ上に形成したものである。

40 【0013】シフトレジスタ20は、図5に示す回路構成と同様であり、3相の位相の異なる駆動バルス ϕ_{s1} , ϕ_{s2} , ϕ_{s3} 及び入力データ ϕ_{in} により駆動されるもので、該駆動バルス ϕ_{s1} ～ ϕ_{s3} を基本として複数の出力端子より順次バルス ϕ_{out1} , ϕ_{out2} , ...を出力する。

【0014】変換回路部11は、3段(3ビット)12a～12cから構成されるシフトレジスタ12を有し、各段に2相の位相の異なる駆動バルス ϕ_1 , ϕ_2 がそれぞれ入力される。また、入力データ ϕ_{in} がMOSトランジスタ13aのゲートGに入力されることにより、MOSトランジスタ13a及び一方向性に接続されたMOS

50

トランジスタ13bを介して入力データ ϕ_{1n} が1ビット目12aに入力される。そして、3ビット目12cから出力された入力データが再びMOSトランジスタ13bを介して1ビット目12aに入力される。

【0015】ここで、図3に、図2の変換回路部におけるシフトレジスタの1ビットの回路図を示す。図3(A)に示す回路図は従来より用いられているシフトレジスタであり、インバータ14aに入力データ ϕ_{1n} が入力され、その出力がMOSトランジスタ15aに入力される。MOSトランジスタ15aのゲートGには駆動パルス ϕ_1 が印加され、その出力がインバータ14bに入力される。インバータ14bの出力が出力パルス ϕ_{out} になると共に、MOSトランジスタ15bに入力され、その出力が次のビットに出力される。このとき、MOSトランジスタ15bのゲートGには駆動パルス ϕ_2 が印加される。

【0016】また、図3(B)、(C)は、図3(A)のインバータ14a、14bの回路図を示したものである。図3(B)のインバータ14a(14b)はE(エンハンスマント)/E型のものであり、図3(C)のインバータはD(デブレッショング)/E型のものである。

【0017】次に、図4に、図2の動作のタイムチャートを示し、図2と共に説明する。まず、入力データ ϕ_{1n} は1個のハイレベル ϕ_{1n} を持ち、変換回路部11のシフトレジスタ12及びシフトレジスタ20で共通としている。

【0018】シフトレジスタ12の1ビット目12aでは、2回目の駆動パルス ϕ_1 のハイレベルの立上りで、シフトレジスタ20に出力するパルス ϕ_{s1} を立上げ、3回目の駆動パルス ϕ_1 のハイレベルの立上りでパルス ϕ_{s1} を立下げる同時に、パルス ϕ_{s2} を立上げる。同様に、4回目の駆動パルス ϕ_1 のハイレベルの立上りでパルス ϕ_{s2} を立下げる同時に、パルス ϕ_{s3} を立上げる。また、5回目の駆動パルス ϕ_1 のハイレベルの立上げでパルス ϕ_{s3} を立下げると同時にパルス ϕ_{s1} を立上げる。

【0019】このとき、シフトレジスタ20では、入力されるパルス ϕ_{s1} によりパルス ϕ_{out1} を、パルス ϕ_{s2} によりパルス ϕ_{out2} を、パルス ϕ_{s3} によりパルス ϕ_{out3} を、以下順次出力端子より出力するものである。

【0020】このようにして、シフトレジスタ12から

出力されるパルス $\phi_{s1} \sim \phi_{sn}$ の繰り返しで、これを基本としてシフトレジスタ20において出力端子よりパルス $\phi_{out1}, \phi_{out2}, \dots$ を出力するものである。

【0021】なお、上述のシフトレジスタ12は3ビットで構成して循環させているが、3の倍数ビット $3n$ (nは自然数)で循環させてもよい。この場合、シフトレジスタ12からシフトレジスタ20への出力パルス $\phi_{s1} \sim \phi_{sn}$ は $(n-1)$ ビットおきに出力されるようとする。このとき、出力パルス $\phi_{s1} \sim \phi_{sn}$ のパルス幅を変えられる。

【0022】このように、変換回路部11により3相駆動を2相駆動に変換しており、該変換回路部11においても電力は消費される。しかし、例えば固体撮像素子で使用されるシフトレジスタ20が数百ビットであり、該変換回路部11は3ビット又は常識的な3の倍数ビットであることから、全体的では消費電力、回路規模の増加は僅少である。

【0023】すなわち、回路規模が小さく、低消費電力を維持しつつ、2相出力の外部駆動回路に、2相駆動のシフトレジスタの他に、3相駆動のシフトレジスタを使用することができ、容易に駆動相数の異なるシフトレジスタの互換性を高くすることができる。

【0024】

【発明の効果】以上のように本発明によれば、3相駆動の走査回路部を2相駆動で3相出力をを行う変換回路部で駆動することにより、低消費電力を維持しつつ容易に駆動相数の異なるシフトレジスタの外部駆動回路への互換性を高くすることができる。

【図面の簡単な説明】

30 【図1】本発明の原理説明図である。

【図2】本発明の一実施例の構成図である。

【図3】図2の変換回路部におけるシフトレジスタの1ビットの回路図である。

【図4】図2の動作のタイムチャートである。

【図5】従来の低消費電力型のシフトレジストの回路図である。

【符号の説明】

10 相変換シフトレジスタ

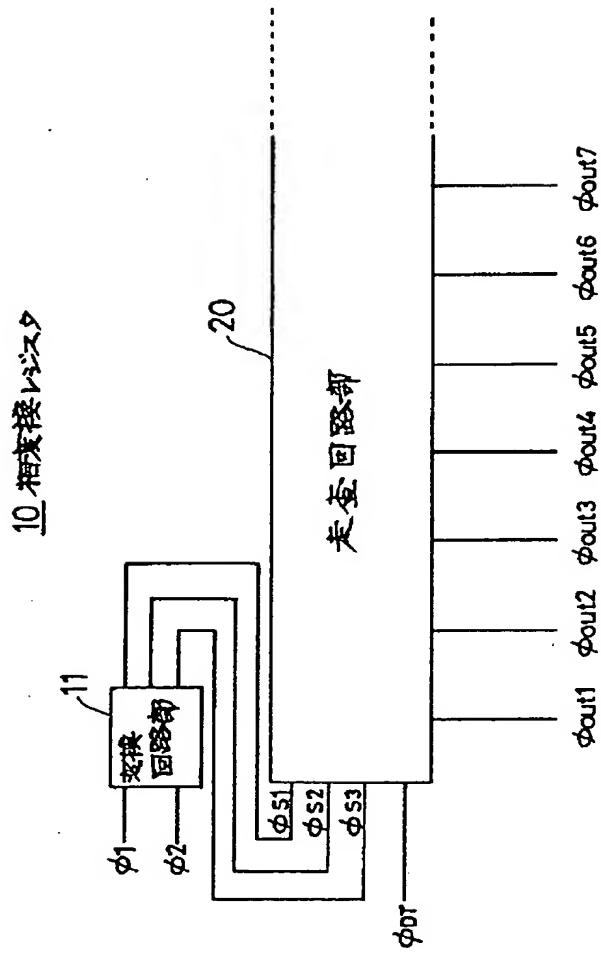
11 變換回路部

40 12 シフトレジスタ

20 走査回路部(シフトレジスタ)

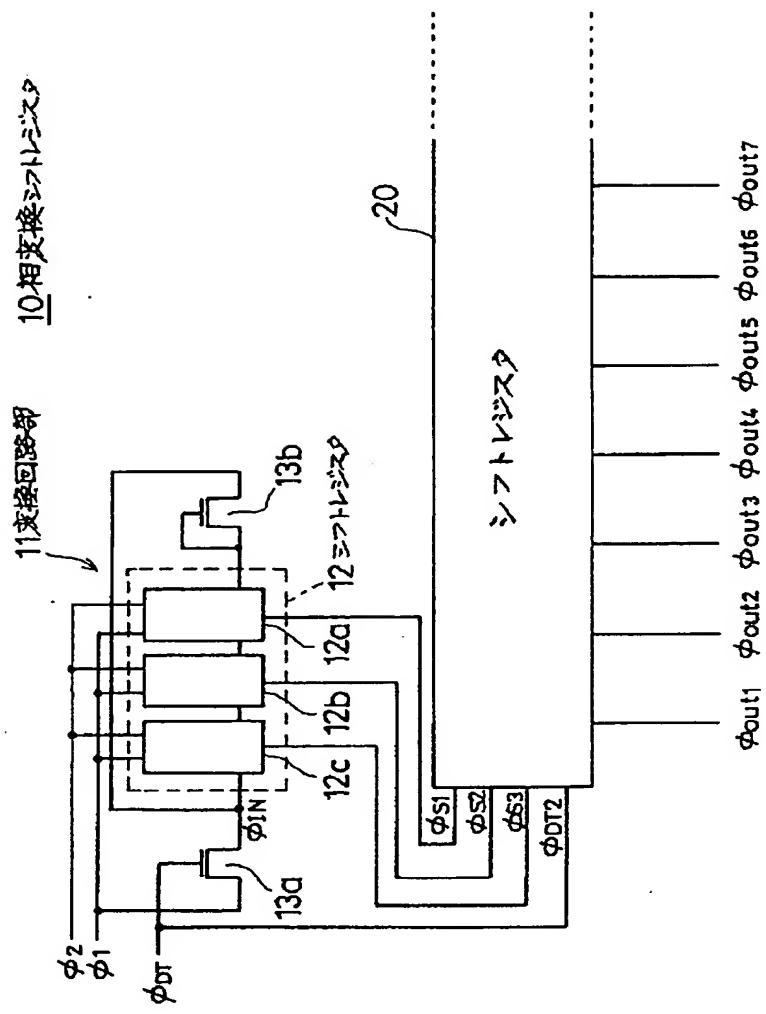
【図1】

本発明の原理説明図



[図2]

本発明の一実施例の構成図

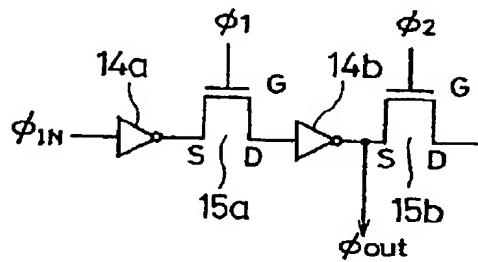


[図3]

図2の変換回路部におけるシフトレジスタの1ビットの回路図

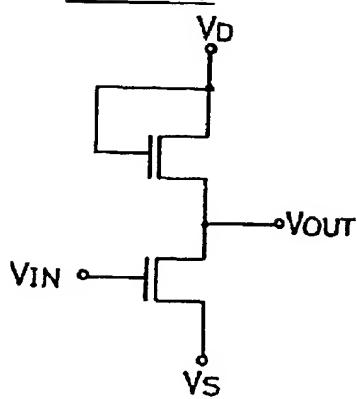
(A)

12a(12b,12c)



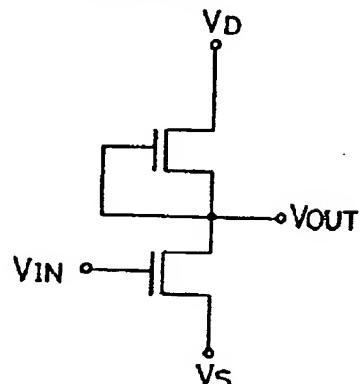
(B)

14a(14b)



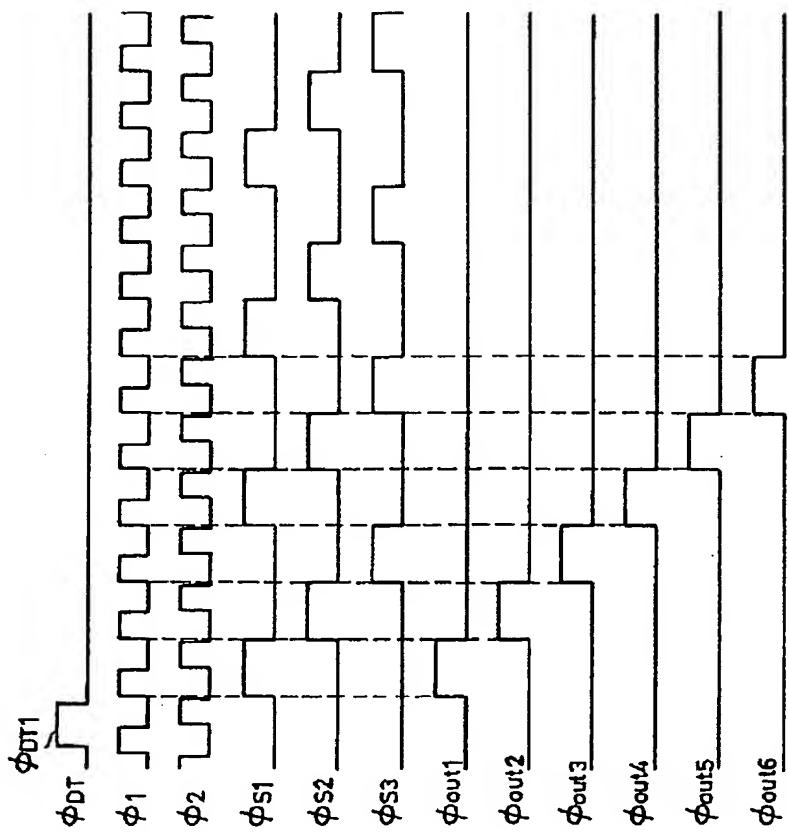
(C)

14a(14b)



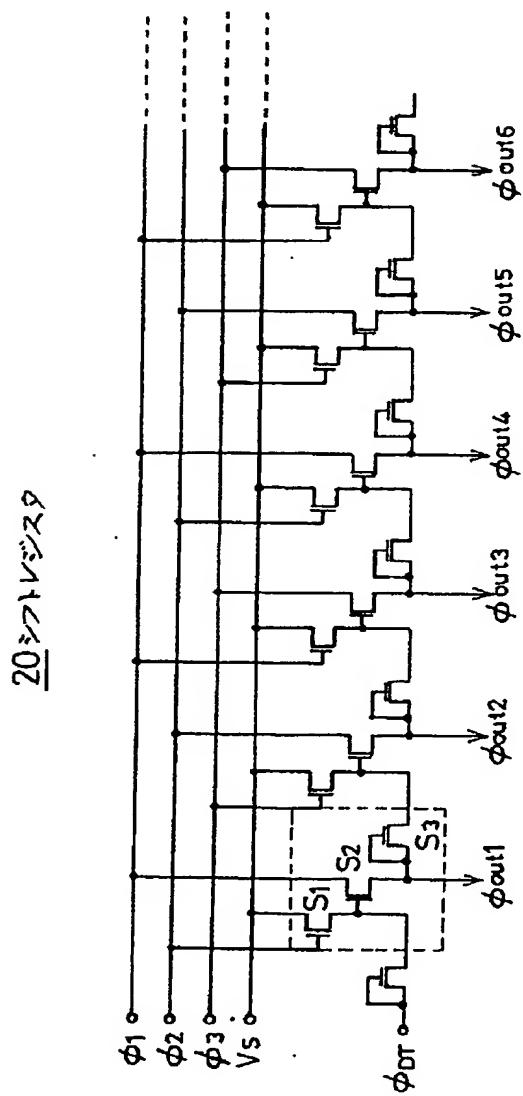
【図4】

図2の動作のタイムチャート



【図5】

従来の低消費電力型のシフトレジスタの回路図



*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

Bibliography

(19) [Publication country] Japan Patent Office (JP)
(12) [Kind of official gazette] Open patent official report (A)
(11) [Publication No.] JP,5-159594,A
(43) [Date of Publication] June 25, Heisei 5 (1993)
(54) [Title of the Invention] Phase-number conversion shift register
(51) [The 5th edition of International Patent Classification]

G11C 19/28 D 2116-5L
19/00 K 2116-5L
27/04 102 Z 7323-5L

[Request for Examination] Un-asking.

[The number of claims] 2

[Number of Pages] 8

(21) [Application number] Japanese Patent Application No. 3-318145

(22) [Filing date] December 2, Heisei 3 (1991)

(71) [Applicant]

[Identification Number] 000005223

[Name] FUJITSU, LTD.

[Address] 1015, Kami-Kodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken

(72) [Inventor(s)]

[Name] Kubo *****

[Address] 1015, Kami-Kodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken Inside of FUJITSU, LTD.

(74) [Attorney]

[Patent Attorney]

[Name] Ito Tadahiko (outside binary name)

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
 - 2.**** shows the word which can not be translated.
 - 3.In the drawings, any words are not translated.
-

Epitome

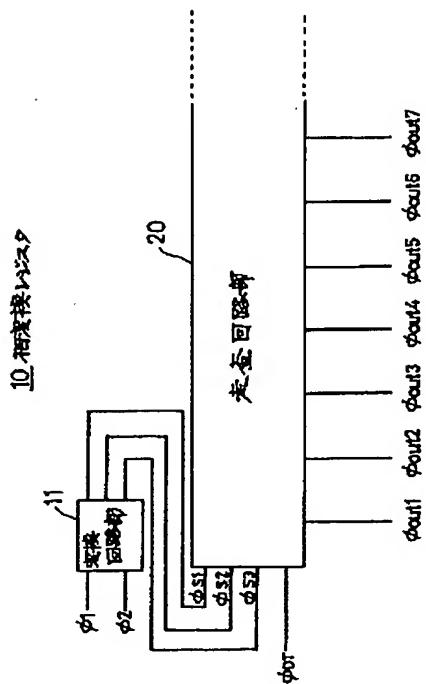
(57) [Abstract]

[Objects of the Invention] This invention aims at making possible compatibility to the external drive circuit of the shift register with which drive source resultant pulse numbers differ easily about the phase-number conversion shift register which changes the drive source resultant pulse number of a shift register, maintaining a low power.

[Elements of the Invention] The conversion circuit section 11 which outputs the driving pulse phi 1 from which the phase of two phases inputted differs, the pulse phiS1 from which the phase of a three phase circuit differs with a shift register 12 on the basis of phi 2, phiS2, and phiS3 is formed. And the shift register 20 of a three-phase-circuit drive is driven by the pulse phiS1 from the conversion circuit section 11, phiS2, and phiS3.

[Translation done.]

本発明の原理説明図



[Translation done.]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The phase-number conversion shift register characterized by providing the following The conversion circuit section which outputs the pulse (ϕ_{S1} , ϕ_{S2} , ϕ_{S3}) from which the phase of a three phase circuit differs on the basis of the driving pulse (ϕ_1 and ϕ_2) from which the phase of two phases inputted differs (11) The scanning circuit section which outputs a pulse (ϕ_{out1} , ϕ_{out2} , —) one by one from two or more output terminals on the basis of the pulse (ϕ_{S1} , ϕ_{S2} , ϕ_{S3}) from which the phase of this three phase circuit outputted from this conversion circuit section (11) differs (20)

[Claim 2] Said conversion circuit section (11) is a phase-number conversion shift register according to claim 1 characterized by having the shift register of $3n$ (n is the natural number) stage.

[Translation done.]

* NOTICES *

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the phase-number conversion shift register which changes the drive source resultant pulse number of a shift register.

[0002] In the Rhine address type solid state image sensor represented by the recent-years (Metal Oxide Semiconductor), for example, MOS, mold component, in order for one line to make sequential selection at a time and to read the pixel arranged at two dimensions, a shift register is used as a scanner. This shift register needs to plan compatibility between the shift resists from which a drive source resultant pulse number differs while low-power actuation is required.

[0003]

[Description of the Prior Art] In recent years, as for the shift register which scans at a time the pixel of one line arranged at two dimensions of the solid state image sensor of an MOS mold, it is common that one step consists of six MOS transistors (refer to drawing 3).

[0004] One step consists of six nMOS transistors, and since a current always flows including the inverter circuit which is two pieces from which input voltage differs, such a shift register cannot attain miniaturization and low-power-ization. Then, the shift register which reduced the number of the MOS transistor per step and reduced the current which always flows is considered.

[0005] The circuit diagram of the shift register of the conventional low-power mold is shown in drawing 5 . The shift register 20 shown in drawing 5 was shown in JP,62-59399,B, and is driven with a driving pulse phi 1, phi 2, phi 3, phiDT, and the DC electrical potential difference Vs. this shift register 20 — per [one step (inside of a broken line)] — three n channel transistors S1, S2, and S3 It is constituted and can drive with about the same low power as a shift register using a CMOS transistor. That is, he is the dynamic shift register of the low-power actuation by small [which can be constituted only from a nMOS transistor].

[0006] In this case, unlike the shift register (2 phase drives) which consisted of six MOS transistors, one step is a three-phase-circuit drive.

[0007]

[Problem(s) to be Solved by the Invention] However, since the above-mentioned shift register 20 is a three-phase-circuit drive, it needs pulse generating circuits (a logical circuit, driver, etc.) compared with the case of 2 phase drives. Moreover, when they constitute the shift register of 2 phase drives only from a nMOS transistor, they have the problem that power consumption becomes large, while they must change a drive circuit into driving with which phase sharply, since a three-phase-circuit drive and 2 phase drives are incompatible.

[0008] Then, this invention was made in view of the above-mentioned technical problem, and it aims at offering the phase-number conversion shift register which makes possible compatibility to the external drive circuit of the shift register with which drive source resultant pulse numbers differ easily, maintaining a low power.

[0009]

[Means for Solving the Problem] The principle explanatory view of this invention is shown in drawing 1 . It is the driving pulse phi 1 from which the phase of two phases which 11 is the conversion circuit section in the phase-number conversion register 10 of drawing 1 , and are inputted differs, and phi 2. It considers as a base and the pulse phiS1 from which the phase of a three phase circuit differs, phiS2, and phiS3 are outputted. Moreover, 20 is the scanning circuit section and outputs pulse phiout1, phiout2, and — one by one from two or more output terminals on the basis of the pulse phiS1 from which the phase of this three phase circuit outputted from this conversion circuit section 11 differs, phiS2, and phiS3.

[0010]

[Function] As shown in drawing 1 , the scanning circuit section 20 of a three-phase-circuit drive is driven by the conversion circuit section 11 of 2 phase drives. That is, the scanning circuit section 20 of a three-phase-circuit drive is driven with two phases as a result.

[0011] For example, the circuit scale which exists conventionally is small, and when the shift register of a three-phase-circuit drive of a low power is used for the scanning circuit section 20, it becomes possible to perform 2 phase drives easily, maintaining these. Therefore, it becomes possible to make high two phases to the external drive circuit for carrying out 2 phase drives, and compatibility of the shift register of a three-phase-circuit drive.

[0012]

[Example] The block diagram of one example of this invention is shown in drawing 2 . In drawing 2 , the phase-number conversion shift register 10 forms the shift register 20 which are the conversion circuit section 11 and the scanning circuit section on the same chip.

[0013] The shift register 20 is the same as that of the circuitry shown in drawing 5 , is driven by the driving pulse phiS1 from which the phase of a three phase circuit differs, phiS2, phiS3, and input data phiDT, and outputs pulse phiout1, phiout2, and — one by one from two or more output terminals on the basis of this driving pulse phiS1 to phiS3.

[0014] The conversion circuit section 11 is the driving pulse phi 1 from which it has the shift register 12 which consists of 12a-12c three steps (triplet), and the phase of two phases differs in each stage, and phi 2. It is inputted, respectively. Moreover, input data phiIN is inputted into 1st bit 12a through MOS transistor13a and MOS transistor 13b connected to tropism on the other hand by inputting input data phiDT into the gate G of MOS transistor 13a. And the input data outputted from triplet eye 12c is again inputted into 1st bit 12a through MOS transistor 13b.

[0015] Here, the 1-bit circuit diagram of the shift register in the conversion circuit section of drawing 2 is shown to drawing 3 . The circuit diagram shown in drawing 3 (A) is a shift register used conventionally, input data phiIN is inputted into inverter 14a, and the output is inputted into MOS transistor 15a. In the gate G of MOS transistor 15a, it is a driving

pulse phi 1. It is impressed and the output is inputted into inverter 14b. The output of inverter 14b is output pulse phiout. While becoming, it is inputted into MOS transistor 15b, and the output is outputted to the following bit. At this time, it is a driving pulse phi 2 in the gate G of MOS transistor 15b. It is impressed.

[0016] Moreover, drawing 3 (B) and (C) show the circuit diagram of the inverters 14a and 14b of drawing 3 (A). Inverter 14a (14b) of drawing 3 (B) is the thing of an E(enhancement)/E mold, and the inverter of drawing 3 (C) is the thing of D (depression) /E mold.

[0017] Next, the timing diagram of actuation of drawing 2 is shown in drawing 4, and it explains to it with drawing 2. First, input data phiDT is one high level phiDT1. It has and it is supposed with the shift register 12 and shift register 20 of the conversion circuit section 11 that it is common.

[0018] At 1-bit 12a of a shift register 12, it is the 2nd driving pulse phi 1. In a high-level standup, the pulse phiS1 outputted to a shift register 20 is started, and it is the 3rd driving pulse phi 1. To ***** and coincidence, a pulse phiS2 is started for a pulse phiS1 in a high-level standup. Similarly, it is the 4th driving pulse phi 1. To ***** and coincidence, a pulse phiS3 is started for a pulse phiS2 in a high-level standup. Moreover, 5th driving pulse phi 1 A pulse phiS1 is started for a pulse phiS3 to ***** and coincidence by high-level starting.

[0019] At this time, pulse phiout4 is outputted [with the pulse phiS1 inputted / pulse phiout1 / with a pulse phiS2 / pulse phiout2] for pulse phiout3 from an output terminal one by one below by the pulse phiS1 with a shift register 20 with a pulse phiS3.

[0020] Thus, it is the repeat of the pulse phiS1 to phiS3 outputted from a shift register 12, and pulse phiout1, phiout2, and — are outputted from an output terminal in a shift register 20 on the basis of this.

[0021] In addition, although the above-mentioned shift register 12 is constituted from a triplet and circulated, you may make it circulate by multiple bit 3n (for n to be the natural number) of 3. In this case, the output pulse phiS1 to phiS3 from a shift register 12 to a shift register 20 is made to be outputted every bit (n-1). At this time, the pulse width of an output pulse phiS1 to phiS3 is changeable.

[0022] Thus, the three-phase-circuit drive is changed into 2 phase drives by the conversion circuit section 11, and power is consumed also in this conversion circuit section 11. However, the shift register 20 used, for example with a solid state image sensor is hundreds of bits, and from being a triplet or the commonsense multiple bit of 3, if this conversion circuit section 11 is overall, it is small. [of the increment in power consumption and a circuit scale]

[0023] That is, a circuit scale is small, maintaining a low power, the shift register of the three-phase-circuit drive to everything but the shift register of 2 phase drives can also be used in the external drive circuit of 2 phase output, and compatibility of the shift register with which drive source resultant pulse numbers differ easily can be made high.

[0024]

[Effect of the Invention] According to this invention, compatibility to the external drive circuit of the shift register with which drive source resultant pulse numbers differ easily can be made high as mentioned above by driving the scanning circuit section of a three-phase-circuit drive in the conversion circuit section which performs a three-phase-circuit output by 2 phase drives, maintaining a low power.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the principle explanatory view of this invention.

[Drawing 2] It is the block diagram of one example of this invention.

[Drawing 3] It is the 1-bit circuit diagram of the shift register in the conversion circuit section of drawing 2.

[Drawing 4] It is the timing diagram of actuation of drawing 2.

[Drawing 5] It is the circuit diagram of the shift resist of the conventional low-power mold.

[Description of Notations]

10 Phase-number Conversion Shift Register

11 Conversion Circuit Section

12 Shift Register

20 Scanning Circuit Section (Shift Register)

[Translation done.]

* NOTICES *

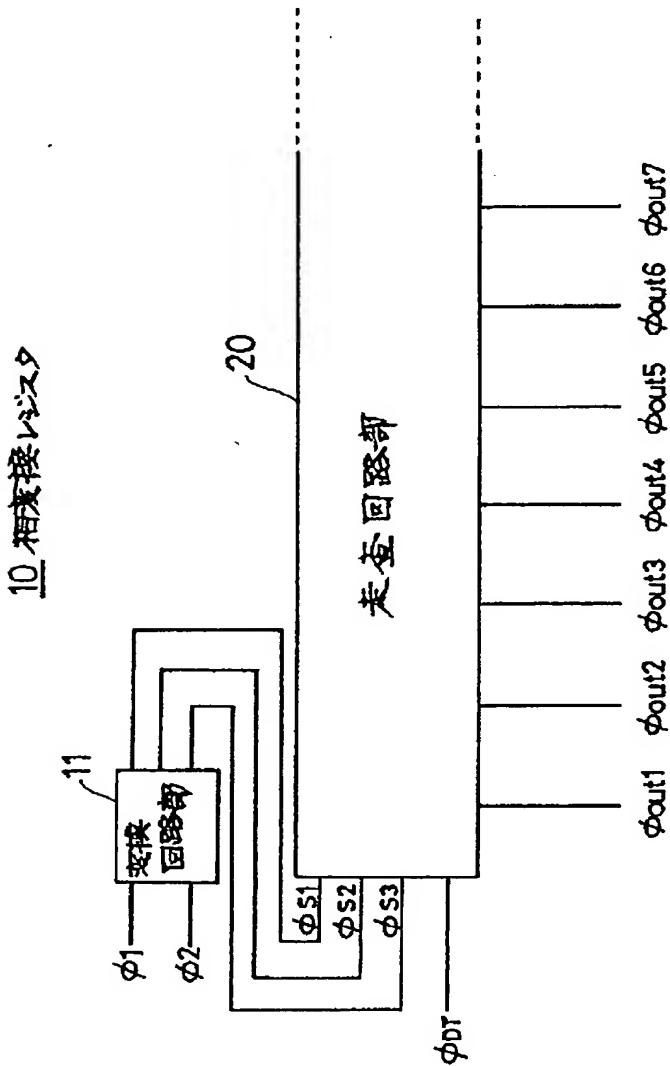
JP0 and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

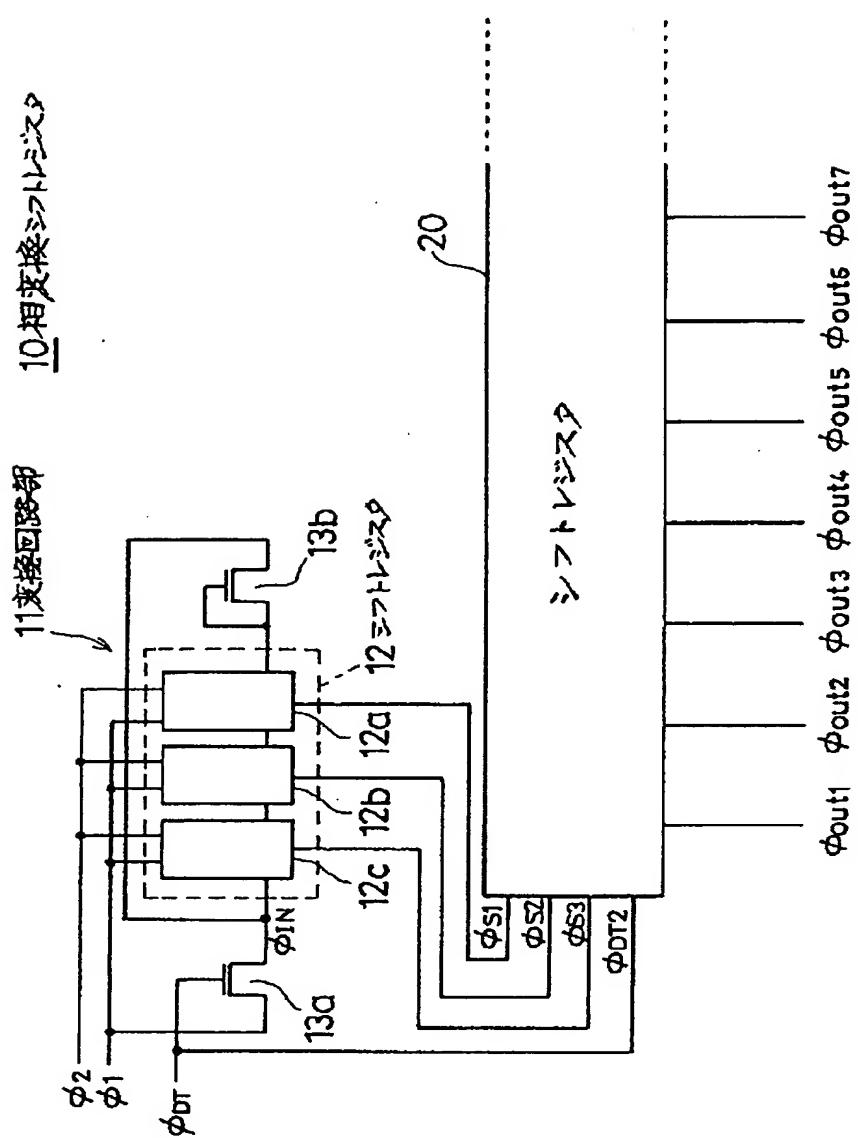
[Drawing 1]

本発明の原理説明図



[Drawing 2]

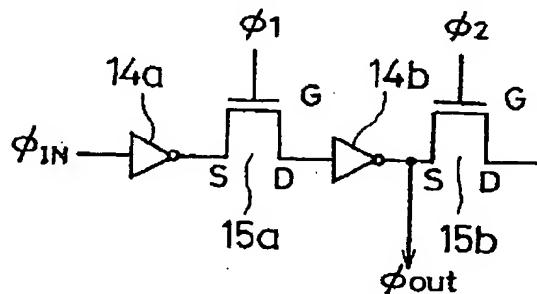
本発明の一実施例の構成図



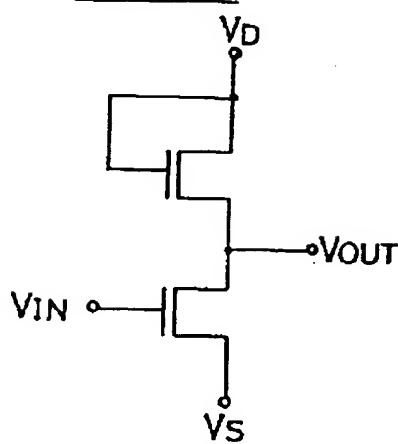
[Drawing 3]

図2の変換回路部におけるシフトレジスタの1ビット
の回路図

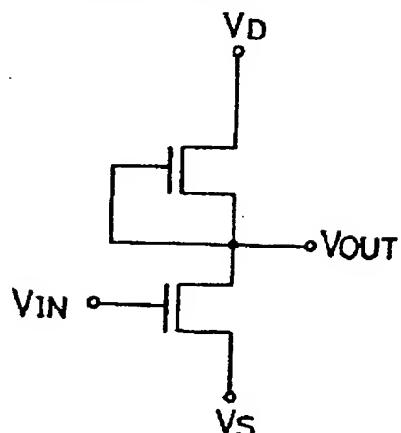
(A)

12a(12b,12c)

(B)

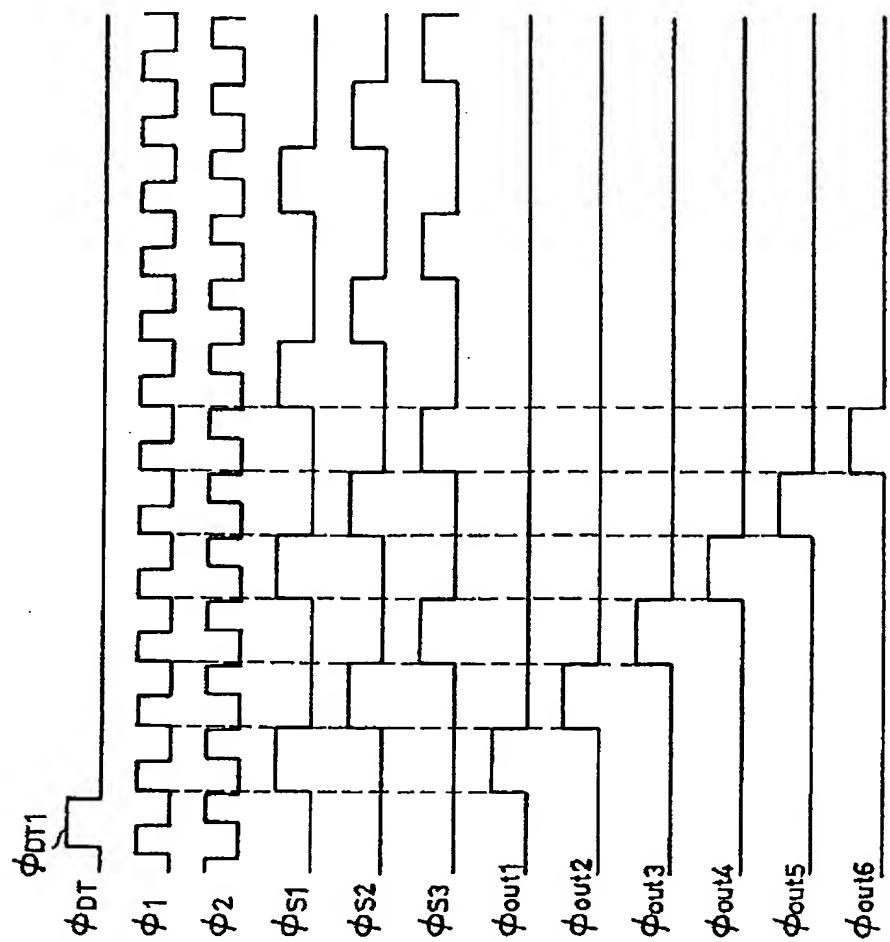
14a(14b)

(C)

14a(14b)

[Drawing 4]

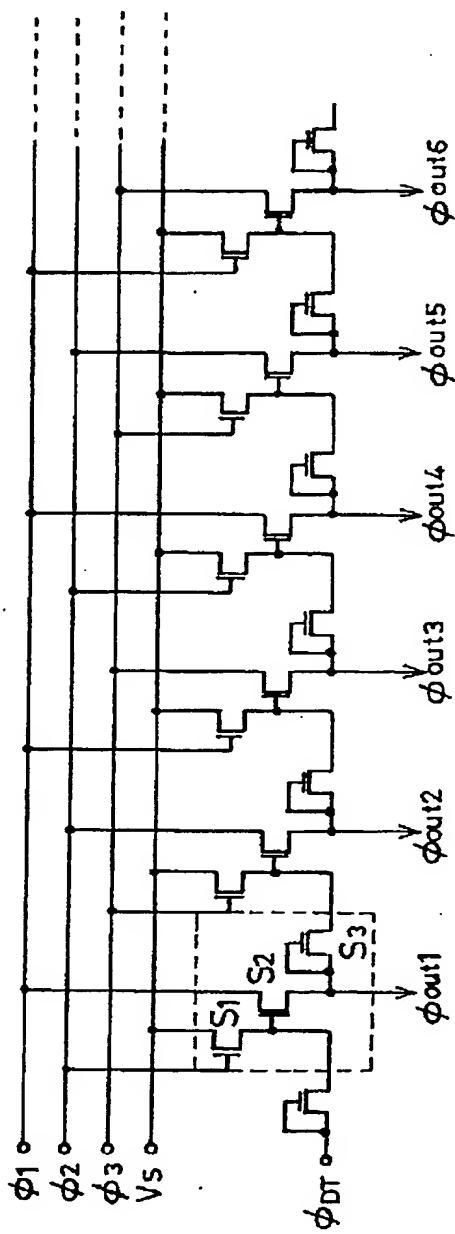
図2の動作のタイムチャート



[Drawing 5]

従来の低消費電力型のシフトレジスタの回路図

20シフトレジスタ



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.